

# CURRICULUM VITAE

Luca Pacher

---

## Dati personali e coordinate

Nome e cognome	Luca PACHER
Data di nascita	24 Marzo 1987
Luogo di nascita	Torino
Cittadinanza	Italiana
Lingua	Italiano (madre lingua) Inglese (fluente) Francese (scolastico)
E-mail	pacher@to.infn.it
Codice fiscale	PCHLCU87C24L219I

## Area di ricerca e interessi

Fisica sperimentale delle alte energie nell'esperimento Compact Muon Solenoid (CMS) al Large Hadron Collider (LHC) del CERN di Ginevra; tecniche sperimentali per la rivelazione di particelle, rivelatori al silicio per il tracciamento di particelle cariche; progettazione e caratterizzazione di elettronica di lettura innovativa per rivelatori di radiazione con particolare riferimento allo sviluppo di circuiti integrati dedicati (ASIC) in tecnologie CMOS ad altissima densità di integrazione (VLSI); programmazione FPGA.

## Responsabilità scientifiche e didattiche

2017 - oggi	Membro del <i>management board</i> della collaborazione internazionale CERN/RD53. <i>Deputy working package coordinator</i> delle attività di progettazione digitale e integrazione dei chip di lettura per rivelatori a pixel RD53-B e RD53-C (circa 30 progettisti).
2016 - 2017	Coordinatore nazionale delle attività di progettazione e integrazione del prototipo di chip di lettura per rivelatori a pixel CHIPIX-FE all'interno del progetto INFN/CSN5 CHIPIX65 (circa 15 progettisti).
2011 - oggi	Docente ed esercitatore per insegnamenti di Fisica generale e di ambito elettronico per la Laurea e Laurea Magistrale in Fisica, per la Laurea Magistrale in Farmacia, per la Laurea in Chimica e per il Dottorato di Ricerca in Fisica presso l'Università di Torino.  Attualmente in corso (A.A. 2021/2022): <i>Fisica per Farmacia</i> (STF0060), <i>Elettronica</i> (MFN0573), <i>Elettronica Applicata</i> (FIS0010), <i>Laboratorio Avanzato di Elettronica</i> (MFN1324). Per il Dottorato di Ricerca in Fisica: <i>Introduction to FPGA programming</i> .  Supervisore, co-relatore e contro-relatore di tesi di laurea e di dottorato.
2019 - oggi	Membro del <i>Consiglio di Dipartimento</i> del Corso di Laurea e Laurea Magistrale in Fisica presso l'Università di Torino.
2021 - oggi	Membro della <i>Commissione Trasferimento Tecnologico</i> e della <i>Commissione Laboratori Didattici</i> presso il Dipartimento di Fisica, Università di Torino.

## Carriera scientifica e attività di ricerca

Mar. 2022 - oggi	<b>Professore Associato</b> presso l'Università di Torino, Dipartimento di Fisica. Settore concorsuale 02/A1 (Fisica sperimentale delle interazioni fondamentali) s.s.d. FIS/01 (Fisica sperimentale).
Mar. 2019 - Feb. 2022	<b>Ricercatore a Tempo Determinato, tipologia b (RTDb)</b> presso l'Università di Torino, Dipartimento di Fisica. Settore concorsuale 02/A1 (Fisica sperimentale delle interazioni fondamentali) s.s.d. FIS/01 (Fisica sperimentale).
Mag. 2017 - Feb. 2019	<b>Assegnista di ricerca post-dottorato</b> presso la Sezione INFN di Torino. Assegno di ricerca finanziato dal progetto europeo AIDA-2020 ( <i>Advanced European Infrastructures for Detectors at Accelerators</i> ) e co-finanziato dalla Sezione INFN di Torino, contratto n. AdR 18578/2016.
Gen. 2017 - Apr. 2017	<b>Soggiorno di ricerca</b> presso il Gruppo di Microelettronica del CERN (EP-ESE/ME) Periodo di ricerca all'estero finanziato dalla collaborazione CERN/RD53. Responsabile: J. Christiansen (CERN).
Gen. 2015 - Dic. 2016	<b>Assegnista di ricerca post-dottorato</b> presso l'Università di Torino. Assegno di ricerca finanziato dal progetto H-TEAM ( <i>Trigger, Elettronica Avanzata e Metodi innovativi per misure di precisione nel settore dell'Higgs a LHC</i> ), PRIN MIUR 2012, contratto n. 2012Z23ERZ. Responsabile nazionale: Prof. G. Tonelli.
Gen. 2012 - Dic. 2014	<b>Dottorato di Ricerca in Fisica e Astrofisica</b> presso l'Università di Torino. XXVII ciclo, vincitore con borsa di studio nel concorso di ammissione. Tesi: <i>Development of Integrated Pixel Front-End Electronics in 65 nm CMOS Technology for Extreme Rate and Radiation at HL-LHC</i> . Discussione: 11 Aprile 2015

## Formazione accademica

2009 - 2011	<b>Laurea Magistrale in Fisica</b> (DM 270/04). Università di Torino. Indirizzo: Fisica nucleare e sub-nucleare. Tesi: <i>LePix: Monolithic Pixel Detector for LHC Tracking Systems</i> . Discussione: 10 Ottobre 2011 Votazione finale: 110/110-L
2006 - 2009	<b>Laurea Triennale in Fisica</b> (DM 270/04). Università di Torino. Tesi: <i>Studio e caratterizzazione di fotorivelatori a stato solido basati su SiPM</i> . Discussione: 17 Dicembre 2009 Votazione finale: 110/110-L
2001 - 2006	<b>Diploma di maturità scientifica</b> . Liceo Scientifico Aldo Moro, Rivarolo Canavese (TO). Votazione finale: 100/100

## Collaborazioni e associazioni a società scientifiche

2019 -	Membro del progetto <i>Dipartimento di Eccellenza, WP1: Sensori e rilevatori innovativi</i> , Università di Torino, Dipartimento di Fisica
2019 -	Associato con incarico di ricerca all'Istituto Nazionale di Fisica Nucleare (INFN), Sezione di Torino
2017 -	Membro del progetto INFN/CSN5 TIMESPOT, <i>TIME-SPace real-time Operating Tracker</i>
2017 - 2019	Membro del progetto AIDA-2020, <i>Advanced European Infrastructures for Detectors at Accelerators</i>
2015 - 2016	Membro del progetto H-TEAM, <i>Trigger, Elettronica Avanzata e Metodi innovativi per misure di precisione nel settore dell'Higgs a LHC</i>
2014 - 2017	Membro del progetto INFN/CSN5 CHIPIX65, <i>Development of an innovative CHIP for a PIXEL detector using 65 nm CMOS technology</i>
2013 -	Membro della collaborazione CERN/RD53, <i>Development of pixel readout integrated circuits for extreme rate and radiation</i>
2011 -	Membro della collaborazione CERN/CMS e parte del gruppo CMS-Tracker di Torino

## Attività didattica

A partire dall'A.A. 2011/2012 ho svolto lezioni ed esercitazioni frontali e ho prestato assistenza di laboratorio per i seguenti insegnamenti dei corsi di Laurea e Laurea Magistrale in Fisica, Laurea Magistrale in Farmacia e Laurea in Chimica dell'Università di Torino:

A.A. 2020/2021	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Titolare del corso
	<i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Titolare del corso
	<i>Fisica</i> (STF0060), Laurea Magistrale in Farmacia Esercitatore
	<i>Fisica - Corso B</i> (MFN1162), Laurea in Chimica e Tecnologie Chimiche Esercitatore
A.A. 2019/2020	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Titolare del corso
	<i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Titolare del corso
	<i>Fisica</i> (STF0060), Laurea Magistrale in Farmacia Esercitatore

A.A. 2018/2019	<i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Esercitatore
A.A. 2017/2018	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Esercitatore  <i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Contratto di collaborazione Art. 76 Esercitatore
A.A. 2016/2017	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Esercitatore  <i>Microelettronica</i> (MFN0849), Laurea Magistrale in Fisica Esercitatore  <i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Contratto di collaborazione Art. 76 Esercitatore
A.A. 2015/2016	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Esercitatore  <i>Laboratorio Avanzato di Elettronica</i> (MFN1324), Laurea Magistrale in Fisica Contratto di collaborazione Art. 76 Esercitatore
A.A. 2014/2015	<i>Elettronica Applicata</i> (FIS0010), Laurea Magistrale in Fisica Esercitatore  <i>Microelettronica</i> (MFN0849), Laurea Magistrale in Fisica Esercitatore
A.A. 2013/2014	<i>Microelettronica</i> (MFN0849), Laurea Magistrale in Fisica Esercitatore  <i>Esperimentazioni II</i> (MFN0550), Laurea in Fisica Esercitatore
A.A. 2012/2013	<i>Microelettronica</i> (MFN0849), Laurea Magistrale in Fisica Esercitatore  <i>Elettronica</i> (MFN0573), Laurea in Fisica Esercitatore  <i>Laboratorio di Fisica Nucleare e Subnucleare II</i> (MFN1339), Laurea Magistrale in Fisica Esercitatore  <i>Esperimentazioni II</i> (MFN0550), Laurea in Fisica Esercitatore
A.A. 2011/2012	<i>Microelettronica</i> (MFN0849), Laurea Magistrale in Fisica Esercitatore

A partire dall' A.A. 2019/2020 tengo inoltre il corso dal titolo *Introduction to FPGA programming using Xilinx Vivado and VHDL* per il Dottorato di Ricerca in Fisica.

## Abilitazione Scientifica Nazionale

Nel maggio 2021 ho conseguito l'Abilitazione Scientifica Nazionale alla funzione di professore universitario di seconda fascia, settore concorsuale 02/A1 (Fisica sperimentale delle interazioni fondamentali), s.s.d. FIS/01 (Fisica sperimentale). Domanda n. 62618 presentata nel quadrimestre n. 6 dell'edizione ASN2018-2020.

## Tesi di Laurea e di Dottorato

Sono attualmente *tutor* della seguente tesi di Dottorato:

- Michael Grippo, *Development and characterization of innovative readout electronics for pixel detectors at HL-LHC*. Dottorato di Ricerca in Fisica, XXXVI ciclo (attualmente in corso).  
Borsa di studio finanziata dal MIUR nell'ambito del progetto *Dipartimento di Eccellenza, WP1: Sensori e rivelatori innovativi*.

Sono stato *relatore* della seguente tesi di Laurea Magistrale in Fisica presso l'Università di Torino:

- Stefan Zugravel, *Development and test of FPGA firmware extensions for the configuration and readout of the new ABACUS2 chip for beam monitoring applications in hadron therapy*. Laurea Magistrale in Fisica, A.A. 2020/2021

Sono stato *co-relatore* della seguente tesi di Laurea in Fisica presso l'Università di Torino:

- Pietro Mazzucchelli, *Caratterizzazione elettrica di convertitori DAC e ADC nell'ASIC CHIPIX65 Demonstrator*. Laurea in Fisica, A.A. 2016/2017.

Sono stato inoltre *contro-relatore* delle seguenti tesi di Laurea Magistrale in Fisica presso l'Università di Torino:

- Alessio Limardi, *Sviluppo su FPGA di tecniche di correzione di effetti di inefficienza nel conteggio di singoli protoni in fasci terapeutici*. Laurea Magistrale in Fisica, A.A. 2019/2020.
- Serena Ponzio, *Modellizzazione del processo di diffusione di platino in dispositivi di potenza a base silicio*. Laurea Magistrale in Fisica, A.A. 2018/2019.

## Revisione di articoli su riviste internazionali

Sono stato *reviewer* di articoli scientifici di ambito elettronico pubblicati sulle seguenti riviste internazionali :

- *Nuclear Instruments and Methods (NIM) in Physics Research A: Accelerators, Spectrometers, Detectors and Associated Equipment*. ISSN 0168-9002, Elsevier
- *Journal of Instrumentations (JINST)*. ISSN 1748-0221, IOP Publishing
- *Integration, the VLSI Journal*. ISSN: 0167-9260, Elsevier

## Sommario dell'attività di ricerca svolta

L'ambito di ricerca di mio interesse è la Fisica sperimentale delle alte energie, con particolare riferimento allo sviluppo di rivelatori al silicio per il tracciamento di particelle cariche e della relativa elettronica di lettura. Dal 2011 lavoro nell'esperimento Compact Muon Solenoid (CMS) al Large Hadron Collider (LHC) del CERN di Ginevra. Mi occupo del rivelatore di tracciamento interno al silicio (tracker) e dei suoi futuri sviluppi hardware, in particolare dello sviluppo di elettronica di lettura innovativa per il nuovo rivelatore a pixel che verrà impiegato nella fase ad altissima luminosità della macchina (High Luminosity LHC, HL-LHC).

Lavoro in collaborazione con il Laboratorio di progettazione VLSI della Sezione INFN di Torino e in stretta sinergia con altri progetti e collaborazioni a livello nazionale (PRIN2012/H-TEAM, INFN CSN5/CHIPIX65, *Dipartimento di Eccellenza*) e internazionali (AIDA-2020, CERN/RD53) che hanno ricevuto finanziamenti in bandi competitivi nell'ambito dello sviluppo di tecniche sperimentali, sensori ed elettronica innovativi per la Fisica delle alte energie.

L'attività di ricerca da me svolta e le competenze tecniche che ho maturato sono state essenziali per la formazione a Torino di un gruppo di ricerca sulla progettazione del chip di lettura per il rivelatore a pixel di CMS per HL-LHC, che in questi anni ha coinvolto tre studenti di Dottorato e quattro studenti di laurea.

Infine ho collaborato, con funzioni di supporto, anche in altri progetti ed esperimenti attivi presso la Sezione INFN e il Dipartimento di Fisica di Torino (TOFPET2, Belle-II, TIMESLOT, DIACELL, MoveIT).

Di seguito è riportata una descrizione dettagliata dei contributi personali all'attività di ricerca svolta a partire dal 2011. Referenze ad una selezione di pubblicazioni accompagnano il testo.

### Caratterizzazione di rivelatori a pixel monolitici innovativi

Sono entrato a far parte della collaborazione CMS nel Febbraio 2011 con il mio lavoro di tesi di Laurea Magistrale in Fisica riguardante la caratterizzazione elettrica in laboratorio di matrici di rivelatori a pixel monolitici in collaborazione con il progetto INFN/CSN5 LePix.

Il progetto LePix (2010-2012) ha esplorato la possibilità di realizzare rivelatori a pixel monolitici innovativi utilizzando una tecnologia commerciale CMOS 90 nm fabbricata su un substrato di silicio ad alta resistività ( $> 100 \Omega \cdot \text{cm}$ ), offrendo una soluzione di potenziale interesse in termini di basso consumo in potenza, ridotto spessore di materiale, elevata tolleranza al danneggiamento da radiazioni e bassi costi di produzione per i sistemi di tracciamento interni ai futuri esperimenti di Fisica delle alte energie. In questo progetto la Sezione INFN di Torino ha avuto il ruolo di coordinamento nazionale e ha contribuito alla progettazione dell'elettronica e alla caratterizzazione dei primi prototipi.

In questi prototipi il sensore e la relativa elettronica di lettura erano integrati nello stesso substrato di silicio. Tuttavia, a differenza dei rivelatori a pixel monolitici tradizionali di tipo MAPS (Monolithic Active Pixel Sensors), in cui la raccolta di carica avviene per diffusione, la caratteristica fondamentale di questi rivelatori era la raccolta di carica sotto l'effetto di un campo elettrico di deriva grazie all'utilizzo di un substrato polarizzato inversamente come avviene nei rivelatori a pixel ibridi, aumentando così la velocità di raccolta e, quindi, la tolleranza al danneggiamento da radiazioni.

Durante il periodo di tesi magistrale ho inizialmente partecipato all'installazione e alla validazione del setup di test disponibile in Torino. Successivamente ho sviluppato la prima versione del software per il processamento e l'analisi dei dati grezzi in formato binario provenienti dal modulo di acquisizione basato su FPGA. Questo ha permesso di estrarre in modo sistematico le caratteristiche elettriche dei pixel per confrontarle con le simulazioni circuitali SPICE eseguite in fase di progettazione.

Le componenti software che ho sviluppato durante il lavoro di tesi sono state utilizzate per analizzare i risultati dei test effettuati per caratterizzare la tolleranza al danneggiamento da radiazione della tecnologia CMOS utilizzata [1].

### Attività nell'esperimento CMS durante la fase di presa dati Run 1/Run 2 di LHC

Il rivelatore di tracciamento interno rappresenta una componente essenziale dell'esperimento CMS. Esso è composto da rivelatori al silicio a pixel ibridi nella regione più interna e da rivelatori a micro-strip di silicio nella parte più esterna. La ricostruzione delle tracce [2] permette la misura dell'impulso delle particelle cariche deflesse all'interno del campo magnetico solenoidale dell'esperimento, l'identificazione della posizione dei molteplici vertici primari di interazione ad ogni intersezione dei fasci e quella dei vertici secondari originati dal decadimento di particelle a vita media molto breve ( $\approx$  ps) come leptoni  $\tau$  e adroni contenenti quark  $b$ .

Il gruppo CMS-Tracker di Torino vanta una lunga e solida attività di ricerca su questo rivelatore. Dapprima è stato responsabile della costruzione, caratterizzazione ed installazione dei moduli a micro-strip di silicio che compongono i Tracker Inner Disk (TID). Successivamente ha avuto ruoli centrali nello sviluppo del software per le calibrazioni, per l'allineamento, per lo studio del contributo di processi di fondo nella ricerca del bosone di Higgs e per la determinazione delle correzioni da applicare alla misura dell'impulso dei muoni ricostruiti. Il contributo del tracciatore è stato fondamentale per tutte le analisi di Fisica svolte durante il Run 1 ( $\sqrt{s} = 7$  e  $8$  TeV) e il Run 2 ( $\sqrt{s} = 13$  TeV) di LHC, con particolare riferimento ai canali di decadimento che hanno portato alla scoperta di un nuovo bosone di massa  $125 \text{ GeV}/c^2$  compatibile con il bosone di Higgs predetto dal Modello Standard (MS) e alle misure di precisione dei suoi accoppiamenti e dei suoi numeri quantici. In particolare il tracciatore è stato fondamentale per la ricostruzione di muoni ed elettroni ad alto impulso trasverso nei canali di decadimento  $H \rightarrow ZZ \rightarrow 4l$  e  $H \rightarrow WW \rightarrow l\nu l\nu$  [3,4] e per la ricostruzione dei vertici secondari presenti in eventi in cui il bosone di Higgs decade in coppie  $b\bar{b}$  e leptoni  $\tau$  [5,6,7,8].

Come componente del gruppo CMS-Tracker di Torino ho partecipato in prima persona, spendendo numerosi periodi al CERN, alle attività di presa dati dell'esperimento durante il Run 1 e il Run 2. Mi sono occupato in particolare del monitoraggio del corretto funzionamento delle varie componenti del rivelatore a pixel e di quello a micro-strip di silicio, certificando la qualità dei dati ricostruiti utilizzando il tracciatore e impiegati successivamente nelle analisi di Fisica.

Apprendere il funzionamento del tracciatore attuale nella sua complessità è stato fondamentale per fornirmi un bagaglio di conoscenze che sono state poi essenziali nella mia attività di sviluppo di elettronica per il nuovo rivelatore a pixel che verrà impiegato nella fase HL-LHC.

### **Sviluppo di elettronica di lettura innovativa per il nuovo rivelatore di tracciamento a pixel dell'esperimento CMS a HL-LHC**

Contemporaneamente alla partecipazione alle attività di presa dati dell'esperimento CMS durante Run 1 e Run 2 mi sono dedicato allo sviluppo di un chip integrato di lettura innovativo da impiegarsi nel nuovo rivelatore a pixel per la fase HL-LHC.

La scoperta di una nuova particella compatibile con il bosone di Higgs ha infatti aperto una nuova era nella Fisica delle alte energie e fornisce ad oggi motivazioni concrete per definire i futuri sviluppi della ricerca in questo campo. Gli studi per definire i numeri quantici di questa particella sono in corso e, nei limiti della precisione delle attuali misure, le sue caratteristiche sono compatibili con l'ipotesi che si tratti del bosone di Higgs previsto dalla teoria. La più piccola deviazione sperimentale dai valori predetti dal MS costituirebbe tuttavia evidenza indiretta di nuova Fisica.

La fase ad altissima luminosità di LHC (2025-2035) prevede di aumentare la luminosità istantanea della macchina fino a  $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$  con lo scopo di raggiungere una luminosità integrata totale di  $3000 \text{ fb}^{-1}$  in 10 anni. Questo permetterà di accumulare sufficiente statistica nello studio di processi molto rari previsti dal MS, come ad esempio il decadimento  $H \rightarrow \mu^+ \mu^-$ , ma anche di osservare, se esistono, piccole deviazioni dalla teoria al momento non accessibili.

In queste nuove condizioni di lavoro dell'acceleratore il numero di vertici primari (pile-up) originati ad ogni intersezione dei fasci aumenterà notevolmente (200 o più rispetto ai 30-40 attuali), generando altissimi flussi di particelle cariche ( $\approx 500 \text{ MHz}/\text{cm}^2$ ) e danneggiamento da radiazioni in prossimità della zona di interazione (2 Grad di dose totale accumulati in 10 anni di operatività della macchina). Al fine di raggiungere nelle misure accuratissime dell'ordine di qualche per cento in queste condizioni di lavoro è necessario un drastico miglioramento delle tecniche di selezione degli eventi (trigger) ed un aumento della precisione spaziale nella misura delle variabili cinematiche delle particelle prodotte negli stati finali delle reazioni, in particolare quelle relative ai canali di decadimento del bosone di Higgs in coppie di fermioni, quark  $b$  e leptoni  $\tau$ . Il numero di eventi di potenziale interesse porterà ad un aumento della frequenza di trigger a 1 MHz, ma la selezione di questi candidati in un ambiente ad altissima densità di particelle richiederà più tempo, estendendo la latenza di trigger fino a  $12.5 \mu\text{s}$ .

Per migliorare le prestazioni di efficienza nella ricostruzione delle tracce nelle condizioni sopra descritte il tracciatore dell'esperimento CMS è stato ridisegnato in prospettiva di HL-LHC, in particolare il rivelatore a pixel di silicio, sia nella geometria, sia nella struttura del sensore, sia nell'elettronica di lettura ad esso associata.

Per la realizzazione del nuovo chip di lettura è stata scelta una tecnologia commerciale CMOS 65 nm consolidata, caratterizzata da basso consumo di potenza, elevata densità di integrazione e disponibilità a lungo termine. La scelta di questo processo 65 nm ha portato alla formazione della collaborazione internazionale RD53, supportata ufficialmente dal CERN, e del progetto INFN CSN5/CHIPIX65, in cui la Sezione INFN di Torino ha ricoperto il ruolo di coordinamento nazionale. La tolleranza al danneggiamento da radiazioni è stata estensivamente verificata, dimostrando di poter utilizzare questo processo fino a 600 Mrad senza osservare una degradazione significativa delle caratteristiche elettriche fondamentali (velocità, rumore, dispersione di soglia).

In questo contesto, durante il periodo di Dottorato, mi sono occupato della progettazione e caratterizzazione in laboratorio di una catena analogica di front-end innovativa in CMOS 65 nm basata su un'architettura sincrona [9]. Il primo stadio del circuito da me progettato utilizza un preamplificatore di carica a basso rumore. Una rete attiva di retroazione scarica con una corrente costante programmabile la capacità di integrazione al fine di ottenere misure lineari di carica mediante la tecnica del Time-over-Threshold (ToT). La stessa rete di retroazione è in grado di compensare efficacemente correnti di buio del sensore fino a 50 nA per pixel. L'elemento innovativo della catena che ho disegnato risiede nell'utilizzo di un comparatore di tensione sincrono che campiona periodicamente l'uscita del preamplificatore con un clock nominale di 40 MHz sincronizzato con il clock della macchina. L'utilizzo di un'architettura sincrona permette di aumentare notevolmente la sensibilità del comparatore per poter discriminare segnali in carica molto piccoli ( $\approx 600 e^-$  di soglia nominale). Esso permette inoltre di compensare le variazioni di soglia tra canali campionando periodicamente l'offset del comparatore su una coppia di condensatori mediante la tecnica dell'*autozeroing*. Questo semplifica notevolmente la procedura di calibrazione in prospettiva di un sistema completo finale, in cui tradizionalmente la compensazione delle soglie effettuata su migliaia di canali richiede molto tempo e algoritmi elaborati. L'assenza di un DAC locale in ogni pixel per la compensazione della soglia evita anche la necessità di registri di configurazione dedicati e opportunamente protetti per effetti di tipo Single Event Upset (SEU) indotti al passaggio delle particelle, aumentando così lo spazio disponibile per allocare risorse nel dominio digitale. Un ulteriore elemento innovativo risiede nella possibilità di trasformare il comparatore sincrono in un oscillatore programmabile (100-800 MHz) con cui è possibile aumentare la risoluzione nel processo di digitalizzazione della carica.

Piccoli prototipi di matrici di pixel contenenti  $8 \times 8$  celle di area  $50 \mu\text{m} \times 50 \mu\text{m}$  sono stati sottomessi alla fonderia nell'Ottobre 2014 e nel Maggio 2015 all'interno del progetto CHIPIX65, che ho poi caratterizzato in laboratorio validando con successo, anche dopo irraggiamento, la scelta di un'architettura sincrona.

Nel Giugno 2015 sono iniziate le attività di progettazione per la realizzazione del prototipo di chip di lettura CHIPIX-FE [10], che hanno visto coinvolte le Sezioni INFN di Bari, Pavia, Perugia, Pisa e Torino.

Il prototipo è composto da una matrice di  $64 \times 64$  pixel di area  $50 \mu\text{m} \times 50 \mu\text{m}$  e integra su piccola scala ( $3.5 \text{ mm} \times 5.1 \text{ mm}$ ) tutta la complessità richiesta per operare nelle condizioni estreme previste per HL-LHC. In questa fase ho coordinato a livello nazionale il gruppo di ricercatori italiani (circa 15 progettisti) che hanno partecipato alla realizzazione del chip. Sono stato, inoltre, responsabile dell'integrazione del chip, del disegno di tutte le componenti digitali (configurazione, trigger, readout) e delle verifiche finali prima del trasferimento alla fonderia delle maschere di produzione. Tutte queste attività sono avvenute interamente a Torino, che nel progetto ha avuto il ruolo di capofila. Il costo di realizzazione complessivo di questo prototipo è stato dell'ordine di 100 kEUR.

La matrice di pixel presente in questo dimostratore integra in modo trasparente due architetture di front-end analogico: quella sincrona descritta in precedenza e una seconda asincrona, gestite dalla stessa circuiteria digitale. Tutte le componenti digitali sono state sviluppate a Torino con miei contributi personali.

In particolare è stata implementata un'architettura digitale innovativa, basata su un approccio regionale, in grado di garantire un'efficienza di rivelazione superiore al 99.5 % nelle condizioni attese per HL-LHC.

Gli aspetti innovativi di questa architettura sono molteplici. I pixel sono stati organizzati in regioni  $4 \times 4$  e una logica digitale sintetizzata condivisa implementa una memoria di latenza centralizzata comune, la lettura dei soli eventi associati ad un trigger e la configurazione locale dei front-end analogici. L'informazione sulla carica è ottenuta da ogni pixel utilizzando contatori di ToT a 5-bit. Questa informazione viene salvata nella memoria centralizzata solo per un numero massimo di 6 pixel, effettuando così una compressione dei dati a livello di regione. Da simulazioni dettagliate della nuova geometria del rivelatore nelle condizioni di HL-LHC si evince che in una regione  $4 \times 4$  solo 4 pixel vengono colpiti in media per evento, mentre la probabilità di avere più di 6 pixel colpiti è inferiore allo 0.2 %. Risulta pertanto inutile salvare l'informazione di carica per tutti i pixel nella regione, come avveniva invece in architetture regionali di tipo distribuito sviluppate in passato.

L'ottimizzazione dei parametri dell'architettura (profondità della memoria di latenza e numero massimo di pixel salvati) è avvenuta quindi sulla base di simulazioni di Fisica.

Il prototipo integra inoltre molti blocchi funzionali quali ADC, DAC, riferimenti di tensione, serializzatori ad alta frequenza e ricevitori/trasmittitori differenziali sviluppati dalle Sezioni INFN partecipanti al progetto.

Il chip è stato sottomesso nel Luglio 2016 e caratterizzato con successo a partire da Settembre. In questa fase ho partecipato attivamente alle misure di caratterizzazione in laboratorio e agli irraggiamenti.

In particolare mi sono occupato della caratterizzazione del blocco ADC a 12-bit (basato su architettura Wilkinson doppia rampa con un algoritmo digitale interno di self-compensation dell'offset) integrato nel dimostratore ed utilizzato per il monitoring on-chip delle tensioni interne di polarizzazione per le componenti analogiche (riferimento di tensione di tipo bandgap, global DACs per i front-end analogici).

Ho sviluppato un sistema di acquisizione GUI portabile basato su librerie Python/ROOT in grado di comunicare tramite protocollo Ethernet/UDP con il firmware FPGA sviluppato per la lettura del chip al fine di estrarre in modo sistematico caratteristiche quali Differential Non Linearity (DNL) e Integral Non Linearity (INL) statiche e dinamiche dell'ADC prima e dopo irraggiamento con il metodo della code-density utilizzando rampe di tensione e segnali sinusoidali in ingresso a bassa frequenza. I risultati di queste misure sono stati poi presentati alle conferenze internazionali TWEPP 2017 (Santa Cruz, CA, US) e IEEE/NSS (Atlanta, GE, US). Questa attività ha inoltre visto il coinvolgimento di un tesista di Laurea Triennale e di uno di tesi di Laurea Magistrale presso l'Università di Torino di cui sono stato co-relatore.

Molte delle componenti integrate in CHIPIX-FE, tra cui le componenti innovative disegnate a Torino, sono state adottate anche all'interno della collaborazione internazionale CERN/RD53 nello sviluppo del prototipo di chip di lettura per rivelatori a pixel RD53-A. Questo chip, di dimensioni maggiori ( $2\text{ cm} \times 1\text{ cm}$ ) e compatibili con quelle attese per il chip finale da impiegarsi nell'esperimento CMS, implementa tutta la complessità richiesta per operare nel rivelatore finale. A partire da Novembre 2016 ho preso parte alle attività di progettazione di RD53-A, occupandomi della progettazione di componenti digitali e partecipando in prima persona alla fase di integrazione finale del chip, avvenuta presso il Gruppo di Microelettronica del CERN (EP-ESE/ME).

Nello specifico ho progettato l'interfaccia JTAG del chip e ho curato aspetti di Design For Testability (DFT) quali l'inserimento della scan-chain nei registri di configurazione globali e l'implementazione di ulteriori test/bypass features per il chip. Sono stato inoltre responsabile di tutta l'integrazione top-level del chip a livello RTL e delle verifiche mixed-signal per vari macro-blocchi.

Il chip è stato sottomesso nel Settembre 2017 (costo di realizzazione circa 500 kEUR) e tutte le sue componenti e le funzionalità attese sono state caratterizzate e validate con successo [11], fornendo quindi una solida base per la realizzazione dei chip successivi. In particolare l'interfaccia JTAG e la scan-chain che ho progettato sono state utilizzate per misurare le sezioni d'urto per Single Event Upset (SEU) nei registri di configurazione globali, opportunamente protetti con Triple Modular Redundancy (TMR).

Come riconoscimento dei miei contributi e delle mie competenze nel Novembre 2017 sono stato incluso nel *management board* della collaborazione RD53 e nominato *deputy working-package coordinator* per le attività di progettazione digitale e integrazione della seconda versione di prototipo (RD53-B) e della versione finale (RD53-C) che verrà effettivamente installata sull'esperimento CMS, ricoprendo sia ruoli di responsabilità decisionali riguardanti le scelte di progettazione e di integrazione dei nuovi chip sia di coordinamento tra i vari progettisti (circa 30 progettisti). In questa fase ho nuovamente speso un lungo periodo di ricerca all'estero presso il Gruppo di Microelettronica del CERN per seguire in prima persona tutte le attività di progettazione. Il chip RD53-B è stato sottomesso con successo nell'estate 2020 e le misure di caratterizzazione sono ancora in corso. Attualmente mi sto occupando della progettazione del chip finale RD53-C, la cui sottomissione alla fonderia è pianificata per il secondo semestre del 2022.

**Altre attività presso il Dipartimento di Fisica e la Sezione INFN di Torino**

Le competenze acquisite grazie al lavoro svolto in CMS e la visibilità ottenuta a livello nazionale e internazionale per i contributi innovativi apportati dal gruppo di Torino hanno portato al mio coinvolgimento anche in collaborazioni a supporto di altri progetti ed esperimenti attivi presso il Dipartimento di Fisica e la Sezione INFN di Torino.

Nell'Ottobre 2015 ho partecipato alle attività di disegno per finalizzare l'implementazione del chip di lettura TOFPET2, sviluppato dal laboratorio di progettazione VLSI della Sezione INFN di Torino in collaborazione con il Laboratory of Instrumentation and Experimental Particle Physics (LIP) di Lisbona. Il chip, realizzato in una tecnologia commerciale CMOS 180 nm, è composto da 64 canali di lettura per misure di Time-Of-Flight (TOF) per applicazioni di Positron Emission Tomography (PET) in Fisica medica [12]. In questa fase del progetto ho supervisionato l'integrazione del chip (piazzamento e interconnessione dei vari blocchi funzionali analogici e digitali, distribuzione delle alimentazioni, assemblaggio della cornice di celle di ingresso/uscita) e ho contribuito alle verifiche finali prima del trasferimento delle maschere di produzione alla fonderia.

Il chip, dopo un'estensiva fase di test seguita da un iter di trasferimento tecnologico, è stato successivamente commercializzato e attualmente viene utilizzato come chip di lettura per applicazioni di diagnostica basate su PET in ambiente veterinario. Nello specifico l'azienda PETsys Electronics SA attualmente utilizza il chip TOFPET2 nei suoi prodotti.

Nel Novembre 2017 sono entrato a far parte del progetto nazionale INFN/CSN5 TIMESPOT (*TIME-SPace real-time Operating Tracker*). Obiettivo del progetto è realizzare un chip di lettura di nuova generazione per rivelatori a pixel con dimensione delle celle sensibili  $50 \mu\text{m} \times 50 \mu\text{m}$  che consenta di effettuare misure precise di tempo ( $\approx 10$  ps di risoluzione) al fine di aggiungere alle tre coordinate spaziali un'informazione temporale per il tracciamento delle particelle (4D-tracking). La scelta della tecnologia è ricaduta su un processo commerciale CMOS 28 nm, il quale rappresenta al momento il nodo tecnologico più avanzato adottato per attività di progettazione microelettronica presso il Dipartimento di Fisica di Torino.

Ho inoltre collaborato con il gruppo di Fisica dello Stato Solido del Dipartimento all'interno dell'esperimento DIACELL (*DIAMond-based detectors for in vitro CELLular radiobiology*). Questo progetto utilizza rivelatori al diamante per applicazioni di bio-sensoristica. In questo esperimento ho partecipato alla progettazione di una nuova scheda di test per sostituire la catena elettronica di lettura inizialmente usata in questo esperimento, basata su componenti e moduli discreti, con un'elettronica integrata veloce e a basso rumore.

Allo scopo è stato utilizzato con successo il chip ASIC TOFFEE (Time-Of-Flight Front-End Electronics) sviluppato originariamente dal gruppo VLSI della Sezione INFN di Torino per misure precise di tempo in Fisica delle alte energie ma con caratteristiche elettriche in ingresso compatibili per il processamento dei segnali provenienti dai rivelatori al diamante usati nell'esperimento DIACELL.

Accanto alle mie attività di ricerca legate alla progettazione microelettronica mi sono poi anche occupato di programmazione digitale di dispositivi di tipo Field Programmable Gate Array (FPGA) mediante linguaggi di descrizione dell'hardware quali Verilog e VHDL.

In questo ambito ho prestato consulenza nello sviluppo del firmware di acquisizione dati del rivelatore Cherenkov TOP (Time-Of-Propagation) utilizzato per l'identificazione di mesoni  $\pi$  e  $K$  nell'esperimento Belle-II, partecipando in prima persona alle attività di debug del codice VHDL e ai test *in loco* del firmware FPGA presso il laboratorio KEK a Tsukuba, Giappone (Giugno 2017).

Ho infine collaborato con il gruppo di Fisica Medica del Dipartimento nell'ambito dell'esperimento MoveIT (*Modeling and Verification for Ion beam Treatment planning*). Nello specifico mi sono occupato dell'upgrade del firmware FPGA utilizzato per la configurazione e lettura del nuovo chip ASIC ABACUS2 impiegato in questo progetto per la realizzazione di un sistema innovativo basato su rivelatori segmentati al silicio con guadagno interno per il monitoraggio di fasci terapeutici in applicazioni di adro-terapia.

## Indici bibliometrici

ORCID	<a href="https://orcid.org/0000-0003-1288-4838">https://orcid.org/0000-0003-1288-4838</a>
Scopus Author ID	55433112800
ResearcherID	<a href="http://www.researcherid.com/rid/D-9132-2018">http://www.researcherid.com/rid/D-9132-2018</a>
Numero totale di pubblicazioni indicizzate <i>peer-reviewed</i> †	816
Numero totale di citazioni indicizzate †	33384
<i>h</i> -index †	85
Presentazioni orali a conferenze con contributi personali	14
Posters a conferenze con contributi personali	8

† Fonte: *Scopus*. Valori riferiti al giorno 18/01/2022.

## Pubblicazioni selezionate

Una lista completa dei lavori indicizzati è disponibile all'indirizzo <http://inspirehep.net>.

1. *Radiation tolerance of a moderate resistivity substrate in a modern CMOS process*  
A. Potenza, D. Bisello, M. Caselle, M. Costa, N. Demaria, P. Giubilato, Y. Ikemoto, C. Mansuy, A. Marchioro, S. Mattiazzo, M. Moll, **L. Pacher**, N. Pacifico, D. Pantano, A. Rivetti, L. Silvestrin, W. Snoeys. NIM A 718 (2013) 347-349  
DOI: 10.1016/j.nima.2012.10.020
2. *Description and performance of track and primary-vertex reconstruction with the CMS tracker*  
The CMS Collaboration. JINST 9 (2014) no.10, P10009  
DOI: 10.1088/1748-0221/9/10/P10009
3. *Measurement of the properties of a Higgs boson in the four-lepton final state*  
The CMS Collaboration. Phys. Rev. D89 (2014) no.9, 092007  
DOI: 10.1103/PhysRevD.89.092007
4. *Measurement of Higgs boson production and properties in the WW decay channel with leptonic final states*  
The CMS Collaboration. JHEP 1401 (2014) 096  
DOI: 10.1007/JHEP01(2014)096

5. *Evidence for the 125 GeV Higgs boson decaying to a pair of  $\tau$  leptons*  
The CMS Collaboration. JHEP 1405 (2014) 104  
DOI: 10.1007/JHEP05(2014)104
  
6. *Evidence for the direct decay of the 125 GeV Higgs boson to fermions*  
The CMS Collaboration. Nature Phys. 10 (2014) 557-560  
DOI: 10.1038/nphys3005
  
7. *Observation of Higgs Boson Decay to Bottom Quarks*  
The CMS Collaboration. Phys.Rev.Lett. 121 (2018) 121801  
DOI: 10.1103/PhysRevLett.121.121801
  
8. *Observation of the Higgs boson decay to a pair of tau leptons with the CMS detector*  
The CMS Collaboration. Phys.Lett. B779 (2018) 283-316  
DOI: 10.1016/j.physletb.2018.02.004
  
9. *Pixel front-end with synchronous discriminator and fast charge measurement for the upgrades of HL-LHC experiments*  
E. Monteil, N. Demaria, **L. Pacher**, A. Rivetti, M. Da Rocha Rolo, F. Rotondo, C. Leng.  
JINST 11 (2016), C03013  
DOI: 10.1088/1748-0221/11/03/C03013
  
10. *A prototype of a new generation readout ASIC in 65 nm CMOS for pixel detectors at HL-LHC*  
E. Monteil, **L. Pacher**, A. Paternò, F. Loddo, N. Demaria, L. Gaioni, F. De Canio,  
G. Traversi, V. Re, L. Ratti, A. Rivetti, M. Da Rocha Rolo, G. Dellacasa, G. Mazza,  
C. Marzocca, F. Licciulli, F. Ciciriello, S. Marconi, P. Placidi, G. Magazzù, A. Stabile,  
S. Mattiazzo, C. Veri. JINST 11 (2016), C12044  
DOI: 10.1088/1748-0221/11/12/C12044
  
11. *Test results and prospects for RD53A, a large scale 65 nm CMOS chip for pixel readout at the HL-LHC*  
The RD53 Collaboration. NIM A 936 (2019) 282-285  
DOI: 10.1016/j.nima.2018.11.107
  
12. *TOFPET2: a high-performance ASIC for time and amplitude measurements of SiPM signals in time-of-flight applications*  
A. Di Francesco, R. Bugalho, L. Oliveira, **L. Pacher**, A. Rivetti, M. Da Rocha Rolo, J.C. Silva,  
R. Silva, J. Varela. JINST 11 (2016), C03042  
DOI: 10.1088/1748-0221/11/03/C03042

## Conferenze e workshops con contributi personali

### Presentazioni orali e posters

#### **2017 Topical Workshop on Electronics for Particle Physics (TWEPP)**

Santa Cruz, California, US, Set. 11-15, 2017

<https://indico.cern.ch/event/608587>

Talk: *Results from CHIPIX-FE $\emptyset$ , a Small-Scale Prototype of a New-Generation Pixel Readout ASIC in 65 nm CMOS for HL-LHC*

Conference proceeding: PoS (TWEPP2017) 024

#### **12th Trento Workshop on Advanced Silicon Radiation Detectors (TREDI)**

Trento, Italia, Feb. 20-22, 2017

<https://indico.cern.ch/event/587631>

Talk: *Results from CHIPIX65 prototype of a New Generation Pixel Readout ASIC in 65 nm CMOS for HL-LHC experiments*

#### **2016 International Workshop on Vertex Detectors (VERTEX)**

La Biodola, Isola D'Elba, Italia, Set. 25-30, 2016

<https://indico.cern.ch/event/452781>

Poster: *A Prototype of a New Generation Readout ASIC in 65 nm CMOS for Pixel Detectors at HL-LHC*

Conference proceeding: PoS (VERTEX2016) 054

#### **2015 IEEE Nuclear Science Symposium (NSS) and Medical Imaging Conference (MIC)**

San Diego, California, US, Nov. 2-6, 2015

<http://www.nss-mic.org/2015>

Talk: *A Low-Power Low-Noise Synchronous Pixel Front-End Chain in 65 nm CMOS Technology with Local Fast ToT Encoding and Autozeroing for Extreme Rate and Radiation at HL-LHC*

Conference record disponibile su <http://ieeexplore.ieee.org>

DOI: 10.1109/NSSMIC.2015.7581969

#### **XCIX Congresso Nazionale Società Italiana di Fisica (SIF)**

Trieste, Italia, Set. 23-27, 2013

<http://www.sif.it/attivita/congresso/xcix>

Talk: *A new pixel readout chip for long term CMS upgrades*

### Altre conferenze con contributi personali

#### **2017 IEEE Nuclear Science Symposium (NSS) and Medical Imaging Conference (MIC)**

Atlanta, Georgia, US, Ott. 21-28, 2017

<http://www.nss-mic.org/2017>

Poster: *A Rad-Hard 12-bit Auto-Calibrated ADC in CMOS 65 nm*

Conference record da pubblicarsi su <http://ieeexplore.ieee.org>

**2017 Radiation Effects on Components and Systems (RADECS)**

Ginevra, Svizzera, Ott. 2-6, 2017  
<http://radecs2017.com>

Poster: *600 Mrad TID effects on a new generation high-rate pixel readout ASIC in 65 nm CMOS with low-power, low-noise synchronous analog front-end using fast ToT encoding and auto-zeroing*  
Conference record da pubblicarsi su <http://ieeexplore.ieee.org>

**2017 Topical Workshop on Electronics for Particle Physics (TWEPP)**

Santa Cruz, California, US, Set. 11-15, 2017  
<https://indico.cern.ch/event/608587>

Talk: *Development of a Large Pixel Chip Demonstrator in RD53 for ATLAS and CMS Pixel Upgrades*  
Conference proceeding: PoS (TWEPP2017) 005

**2016 IEEE Nuclear Science Symposium (NSS) and Medical Imaging Conference (MIC)**

Strasburgo, Francia, Ott. 29 - Nov. 5, 2016  
<http://www.nss-mic.org/2016>

Talk: *New Development on Digital Architecture for Efficient Pixel Readout ASIC at Extreme Hit Rate for HEP Detectors at HL-LHC*  
Conference record disponibile su <http://ieeexplore.ieee.org>  
DOI: 10.1109/NSSMIC.2016.8069855

Talk: *First Measurements of a Prototype of a New Generation Pixel Readout ASIC in 65 nm CMOS for Extreme Rate HEP Detectors at HL-LHC*  
Conference record disponibile su <http://ieeexplore.ieee.org>  
DOI: 10.1109/NSSMIC.2016.8069857

**2016 Topical Workshop on Electronics for Particle Physics (TWEPP)**

Karlsruhe, Germania, Set. 26-30, 2016  
<https://indico.cern.ch/event/489996>

Talk: *A prototype of pixel readout ASIC in 65 nm CMOS technology for extreme hit rate detectors at HL-LHC*  
Conference proceeding: JINST 12 (2017), C02043

Talk: *A synchronous analog very front-end in 65 nm CMOS with local fast ToT encoding for pixel detectors at HL-LHC*  
Conference proceeding: JINST 12 (2017), C03066

**2016 International Workshop on Vertex Detectors (VERTEX)**

La Biodola, Isola D'Elba, Italia, Set. 25-30, 2016  
<https://indico.cern.ch/event/452781>

Talk: *Design of analog front-ends for the RD53 demonstrator chip*  
Conference proceeding: PoS (VERTEX2016) 036

**2016 International Workshop on Semiconductor Pixel Detectors (PIXEL)**

Sestri Levante, Italia, Set. 5-9, 2016  
<https://agenda.infn.it/event/10190>

Poster: *A prototype of a new generation readout ASIC in 65 nm CMOS for pixel detectors at HL-LHC*  
Conference proceeding: JINST 11 (2016), C12044

Talk: *Recent progress of RD53 Collaboration towards next generation of Pixel Read-Out Chip for HL-LHC*  
Conference proceeding: JINST 11 (2016), C12058

**2015 Topical Workshop on Electronics for Particle Physics (TWEPP)**

Lisbona, Portogallo, Set. 28 - Ott. 2, 2015

<https://indico.cern.ch/event/357738>

Poster: *Pixel front-end with synchronous discriminator and fast charge measurement for the upgrades of HL-LHC experiments*

Conference proceeding: JINST 11 (2016), C03013

Poster: *Design of a 10-bit segmented current-steering digital-to-analog converter in CMOS 65 nm technology for the bias of new generation readout chips in high radiation environment*

Conference proceeding: JINST 11 (2016), C01027

Poster: *TOFPET2: a high-performance ASIC for time and amplitude measurements of SiPM signals and time-of-flight applications*

Conference proceeding: JINST 11 (2016), C03042

**2015 IEEE International Workshop on Advances in Sensors and Interfaces (IWASI)**

Gallipoli, Italia, Giu. 18-19, 2015

<http://iwasi2015.poliba.it>

Talk: *CHIPIX65: developments on a new generation pixel readout ASIC in CMOS 65 nm for HEP experiments*

Conference record disponibile su <http://ieeexplore.ieee.org>

DOI: 10.1109/IWASI.2015.7184947

**2014 International Workshop on Vertex Detectors (VERTEX)**

Macha Lake, Repubblica Ceca, Set. 15-19, 2014

<https://indico.cern.ch/event/300851>

Talk: *65 nm technology for HEP: Status and perspective*

Conference proceeding: PoS (VERTEX2014) 043

**2014 INFN Workshop on Future Detectors for HL-LHC (IFD)**

Trento, Italia, Mar. 11-13, 2014

<https://agenda.infn.it/event/7261>

Talk: *RD53 Collaboration and CHIPIX65 Project for the Development of an Innovative Pixel Front-End Chip for HL-LHC*

Conference proceeding: PoS (IFD2014) 010

**2012 Pisa Meeting on Advanced Detectors**

La Biodola, Isola d'Elba, Italia, Mag. 20-26, 2012

<https://agenda.infn.it/event/4148>

Poster: *Radiation tolerance of a moderate resistivity substrate in a modern CMOS process*

Conference proceeding: NIM A 718 (2013)

DOI: 10.1016/j.nima.2012.10.020

## Organizzazione di workshop e gruppi di lavoro

Nell'ambito della collaborazione internazionale CERN/RD53 ho partecipato all'organizzazione dell'evento:

**8th RD53 General Collaboration Meeting**

Torino (Dipartimento di Fisica), Italia, Giu. 18-20, 2018

<https://indico.cern.ch/event/723575>

## Competenze informatiche

### Sistemi operativi

Conoscenza approfondita dei sistemi Windows, UNIX/Linux e MacOS. Amministrazione di sistema su stazioni di lavoro UNIX/Linux professionali (gestione degli utenti, assegnazione/monitoraggio delle risorse disco e CPU utilizzate, creazione e gestione di copie di backup, networking TCP/IP, NFS, SSH).

### CAD softwares

Conoscenza approfondita di piattaforme software professionali CAD per la progettazione e simulazione di circuiti integrati e schede di test a componenti discreti (Cadence, Mentor, Synopsys). Programmazione mediante linguaggi di descrizione hardware (Verilog/SystemVerilog e VHDL) di logiche programmabili di tipo FPGA (Xilinx ISE/Vivado). Programmazione di microcontrollori (Atmel/Arduino).

### Programmazione software

Linguaggi di programmazione di alto livello: C/C++ e Python. Shell-scripting: Perl, Tcl, csh/tcsh/bash, Windows Batch/PowerShell. Pacchetti software di analisi dati: CERN ROOT/PyROOT, MS Excel, Wolfram Mathematica. Project versioning: cvs/svn/Git.

### Miscellanea

Conoscenza consolidata di pacchetti software di tipo Office e del linguaggio di formattazione TeX/LaTeX per l'elaborazione e la realizzazione di testi e presentazioni elettronici professionali.

Conoscenza base di linguaggi di formattazione HTML/XML per la realizzazione di pagine web e della sintassi specifica per la scrittura di documentazione scientifica su portali TWiki/DokuWiki.

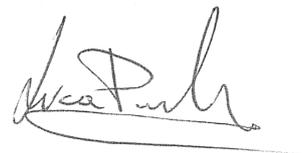
## Altre competenze

Capacità di redigere documentazione e letteratura scientifica di alta qualità. Conoscenza professionale della lingua inglese sia parlata che scritta e capacità di presentare il proprio lavoro di ricerca a conferenze e gruppi di lavoro a livello internazionale. Capacità di relazionarsi all'interno di collaborazioni scientifiche nazionali e internazionali, assumendo anche ruoli di responsabilità, coordinamento e organizzazione delle attività di ricerca all'interno di un gruppo di lavoro.

Torino, 02/03/2022

**Prof. LUCA PACHER**

Università di Torino - Dipartimento di Fisica



---

Il sottoscritto è a conoscenza che, ai sensi dell'art. 26 della legge 15/68, le dichiarazioni mendaci, la falsità negli atti e l'uso di atti falsi sono puniti ai sensi del codice penale e delle leggi speciali. Il sottoscritto autorizza al trattamento dei dati personali, secondo quanto previsto dalla legge 675/96 del 31 Dicembre 1996.